

© EPD/OC / EPO

PN - JP7073800 A 19950317
PD - 1995-03-17
PR - JP19930299106 19931105; JP19930177562 19930625
OPD - 1993-06-25
TI - FIELD EMISSION TYPE CATHODE ELEMENT
IN - ITO SHIGEO; OTSU KAZUYOSHI; WATANABE TERUO
PA - FUTABA DENSHI KOGYO KK
IC - H01J1/30 ; H01J31/15

© FAJ / JPO

PN - JP7073800 A 19950317
PD - 1995-03-17
AP - JP19930299106 19931105
IN - ITO SHIGEO; others:02
PA - FUTABA CORP
TI - FIELD EMISSION TYPE CATHODE ELEMENT
AB - PURPOSE: To provide a FEC element, which is provided with a local resistance between an emitter and a cathode, without enlarging a stage difference of the surface of the FEC element.
- CONSTITUTION: In a FEC element, a first insulating layer 3 made of amorphous silicon having a high resistance value, which is doped with impure material, is formed on a substrate 1. The only part formed with an emitter 7 in this first insulating layer 3 is annealed by laser to reduce the resistance of the first insulating layer 3 locally. A resistance area 4 can be thereby formed at the only part formed with the emitter 7 without patterning the first insulating layer 3 to be formed with the resistance area 4. A stage difference of the surface of the FEC element is therefor restricted at a little difference corresponding to the thickness of a cathode line 2.
I - H01J1/30 ; H01J31/15

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention is applied to especially the cathode of display about the field emission cathode element known as cold cathode, and is suitable.

[0002]

[Description of the Prior Art] They are the impression electric field on a metal or the front face of a semiconductor 109 If it is made the [V/m] grade, by the tunnel effect, an electron will pass an obstruction and electron emission will be performed into a vacuum also in ordinary temperature. This is called field emission (Field Emission) and the cathode which emits an electron by such principle is called field emission cathode (Field Emission Cathode). It is possible to create the field discharge type field emission cathode element which consists of a field emission cathode of micron size in recent years, making full use of semiconductor ultra-fine processing technology, and the field emission cathode element is going to be used for fluorescence display, CRT, an electron microscope, or electron beam equipment.

[0003] The perspective diagram of the field emission cathode (it is hereafter described as FEC) element called the emitter which is the example, and Spindt (Spindt) type which has a resistive layer between cathodes at drawing 11 is shown. In this drawing, the cathode 72 is formed on the substrate 71 and the resistive layer 73 is formed on the cathode 72. And the cone-like emitter 76 is formed on this resistive layer 73. Furthermore, the gate 75 is formed through the insulating layer 74 on the cathode 72, and the amount of [of the emitter 76 of the shape of a cone established into round opening of the gate 75] point has faced from opening which was able to be opened in the gate.

[0004] The pitch between this emitter 76 can be made into 10 microns or less, and can form such an emitter for tens of thousands or several 100,000 pieces on one substrate 71. In this FEC element, since distance between gate cathodes can be made submicron, it can be small between gate cathodes, or an electron can be emitted from an emitter 76 by impressing the voltage VGE of several 10 volts. Thus, the electron emitted from the emitter 76 is isolated on the gate 75, and is the right voltage VA. A uptake can be carried out with the impressed anode 77. Moreover, if the fluorescent substance is prepared in the anode 77, the display using the FEC element can be constituted.

[0005] By the way, the reason for forming a resistive layer 73 in the bottom of an emitter 76 is as follows. Since tens of thousands of emitters are formed on one substrate while distance of the nose of cam of a cone-like emitter and the gate is made into a very short distance of submicron one in general FEC, in the process of manufacture, an emitter and the gate may connect too hastily by dust etc. Thus, when at least one of the gate and the emitters is short-circuited, in order to mean that a cathode and the gate had connected too hastily, voltage was no longer impressed to no emitters, and it had become the FEC element which cannot be operated.

[0006] Moreover, at the time of operation in early stages of FEC, local degasifying arose, between an emitter, the gate, or the anode might cause electric discharge by this gas, for this reason, the high current flowed to the cathode, and the cathode might be destroyed. Furthermore, since it concentrated from the emitter which an electron tends to emit among many emitters and an electron was easy to be emitted, current may concentrate on the emitter and the unusually bright spot might occur on the screen. In order to prevent the fault on these operation, it is made to form a resistive layer 73 between the above-mentioned gate and an emitter conventionally.

[0007] That is, since the current of a cathode 72 is suppressed by the resistive layer 73 as shown in drawing 11, a cathode 72 is not destroyed. Moreover, since the voltage drop of the resistive layer 73 prepared in the emitter becomes large when current concentrates on a certain emitter, the emitter potential rises and the voltage between the gate cathode comes to descend. Therefore, an emitter current can fall and concentration of an emitter current can be prevented now. Therefore, by forming a resistive layer 73, the yield on manufacture of a FEC element can improve, or make it carry out, and it can be sufficient and stable operation can be carried out now.

[0008] However, with the FEC element shown in drawing 11, since the resistive layer is prepared all over the substrate, it becomes difficult to gain separate independence and to operate between emitters, and it becomes easy to generate a cross talk. This cross talk comes to appear as leakage luminescence or a leakage current in the display which used the FEC element. In order to prevent such a cross talk, it is necessary to separate an emitter for every pixel and to enable it to operate.

[0009] Then, a cathode is divided into plurality as the shape of a stripe, the FEC element which forms an emitter on it is proposed, and such a FEC element is shown in drawing 12. In this drawing, two or more stripe-like cathode lines 82 are formed on the substrates 81, such as glass. On the substrate 81 in which this cathode line 82 was formed, the vacuum evaporation of the resistive layer 83 is carried out, and the resistive layer 83 is formed only on the cathode line 82 by *****ing this resistive layer 83.

[0010] Furthermore, the vacuum evaporation of the insulating layer 84 is carried out on the upper shell substrate 81 of a resistive layer 83, and the vacuum evaporation of the gate line 85 is carried out on it. And it is made to form this emitter 86 on a resistive layer 83 by forming an emitter 86 in opening prepared in the gate line 85 and the insulating layer 84. The above-mentioned gate line 85 is also formed in the shape of a stripe, and it enables it to scan the array by two or more emitters 86 which correspond to each pixel with the cathode line 82 and the gate line 85.

[0011] In addition, generally diacid-ized silicon (SiO_2) is used and, as for the insulating layer 84, SnO_2 , In_2O_3 , Fe_2O_3 , ZnO , the amorphous silicon, etc. are used as a material of a resistive layer 83. Furthermore, as a conductor material of a cathode and the gate, it is common that Ti, Cr, Nb, Mo, W, etc. use Mo as a material of an emitter.

[0012] The example of the display using the FEC element shown in drawing 12 is shown in drawing 13. In this drawing, a resistive layer 83 is formed the cathode line 82 and on it on the substrates 81, such as glass, and the gate line 85 is formed so that it may intersect perpendicularly with this cathode line 82. Moreover, the array which becomes the portion which the gate line 85 and the cathode line 82 intersect from two or more emitters 86 is formed. The array of this emitter 86 corresponds to the pixel. In addition, although the insulating layer 84 is not illustrated in this drawing, it is formed so that it may insulate with the gate line 85 on a resistive layer 83. Moreover, the cathode drive circuit where 91 drives two or more cathode lines 82 one by one, the gate drive circuit where 92 drives two or more gate lines, and 93 are drive circuits which drive the anode 87 with which the fluorescent substance was prepared.

[0013] In the display shown in drawing 13, if one of the cathode line 82 is driving by the cathode drive circuit 91 and image data is impressed to the gate line 85 at this time, the picture on one cathode line controlled by this image data will be displayed on an anode 87. Therefore, if it is made to impress image data to the gate line 85 one by one while driving the cathode line 82 one by one, a picture can be displayed on an anode 87.

[0014]

[Problem(s) to be Solved by the Invention] By the way, since between cathodes will be connected by the resistive layer even if it separates a cathode in the FEC element shown in drawing 11 and prepares two or more, the cross talk between cathodes arises. Although it is necessary to perform patterning of a resistive layer for preventing this cross talk, if it is a FEC element as performed patterning of a resistive layer and shown in drawing 12, since the level difference of the thickness which added the cathode line 82 and the resistive layer 83 will arise on the front face, the level difference of the front face of a FEC element will become big. Then, when operating a FEC element by the high voltage, there was a trouble which says that a possibility that dielectric breakdown may happen in the edge section of this level difference, and a FEC element may be destroyed arises. Then, this invention aims at offering the FEC element of the same operation as having performed

patterning of a resistive layer, without enlarging the level difference of the front face of a FEC element.

[0015]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, it is made to perform low resistance-ization of an insulating layer by annealing with laser only the portion in which the FEC element of this invention changes and forms in a resistive layer the insulating layer of the amorphous silicon which has the high resistance which doped the impurity, and an emitter is formed among this insulating layer locally.

[0016]

[Function] Since a resistive layer can be formed only in the portion in which an emitter is formed according to this invention, without carrying out patterning of the insulating layer which forms a resistive layer, the level difference of the front face of FEC can be made only into few [the thickness of a cathode line] level differences. Furthermore, the resistance of a resistive layer is correctly controllable by the grade of annealing to arbitrary resistance.

[0017]

[Example] The cross section of the field emission cathode element of the 1st example of this invention is shown in drawing 1. In this drawing, the 1st insulating layer 3 is formed on the substrate 1 in which the stripe-like cathode line 2 was formed by vacuum evaporation on the substrates 1, such as glass, and this cathode line 2 was formed. This 1st insulating layer 3 consists of a film of an amorphous silicon or contest polysilicon with which the impurity was doped, and the portion of the 1st insulating layer 3 formed on the cathode line 2 is formed into low resistance by annealing, and forms the resistance field 4 so that it may mention later.

[0018] Furthermore, the 2nd insulating layer 5 and the gate line 6 are formed on this 1st insulating layer 3, and the cone-like emitter 7 is formed, respectively in opening of a large number created by the 2nd insulating layer 5 and the gate line 6. In addition, since the above-mentioned opening is prepared only on the resistance field 4, an emitter 7 is also formed only on the resistance field 4. According to this field emission cathode element, the resistance field 4 can be formed, without carrying out patterning of the 1st insulating layer 3 so that it may mention later since it considers as the resistance field 4 where only the portion on the cathode line 2 of the 1st insulating layer 3 is local. For this reason, the level difference of the front face of a field emission cathode element can be mostly thickened [of the cathode line 2] so that it may illustrate.

[0019] The plan of the field emission cathode element shown in drawing 1 is shown in drawing 2. In this drawing, the gate line 6 shown as the cathode line 2 shown by the dotted line and a solid line is formed in the shape of a matrix, and the array which consists of two or more emitters 7 is formed in the intersection of a matrix. This cathode line 2 and the gate line 6 are driven, respectively by a cathode drive circuit and a gate drive circuit which were explained by above-mentioned drawing 13.

[0020] Next, a means to anneal and form only the portion on the cathode line 2 of the 1st insulating layer 3 into low resistance is shown in drawing 3. In this drawing, the stripe-like cathode line 2 is formed on a substrate 1, and the 1st insulating layer 3 which doped the impurity from on the further is formed. In this state, the photo mask 8 illustrated on the 1st insulating layer 3 is put, and it irradiates, the upper shell, for example, the laser, of a photo mask 8. Then, the laser which passed the photo mask 8 is irradiated by only the 1st insulating layer 3 on the cathode line 2 of the 1st insulating layer 3, and the temperature of this portion rises in an instant. For this reason, it anneals the portion of the 1st insulating layer 3 by which laser was irradiated, and the resistance of the portion which it annealed falls.

[0021] Therefore, as shown in drawing 1, let only the portion on the cathode line 2 of the 1st insulating layer 3 be the resistance field 4. In addition, as laser, it is suitable to use a XeCl excimer laser (wavelength of $\lambda = 308\text{nm}$). The irradiation time of the laser at this time is about 0.1 seconds. Moreover, it may change into laser and you may anneal using a lamp. Furthermore, what is necessary is for the film of the amorphous silicon formed of reduced pressure CVD, the plasma CVD method, the spatter vacuum deposition, the electron-beam-evaporation method, and the resistance heating vacuum deposition or contest polysilicon just to constitute the 1st insulating layer 3. In this case, since the resistance of the amorphous silicon film formed by the spatter vacuum deposition or

plasma CVD method currently generally used is about 107-1012-ohmcm, it can use the amorphous silicon film with this high resistance as an insulating layer.

[0022] And as a material of the impurity doped to such an insulating layer, P, Bi, Ga, In, Tl, etc. can be used, and if the insulating layer by which such an impurity was doped is annealed with laser, it can consider as the film of the amorphous silicon formed into low resistance, or contest polysilicon. In this case, it is the resistance of an insulating layer by laser radiation conditions 101-106 It can adjust to the arbitrary resistance of omega cm. For this reason, it can be used as resistance which has the resistance of a request of the portion of the insulating layer which it annealed.

[0023] Moreover, refractory materials, such as Nb, Ta, W, etc. from which the quality of the material does not change even if laser is irradiated and it becomes an elevated temperature as a material of the cathode line 2, are used. In addition, generally as the 2nd insulating layer 5, it is SiO₂. Although formed of carrying out a spatter etc., if the 2nd insulating layer 5 is formed by the material of translucencies, such as SiO and SiN, laser can also be irradiated after formation of the 2nd insulating layer 5.

[0024] Next, the example of the 2nd field emission cathode element of this invention is shown in drawing 4. In this drawing, the 1st insulating layer 3 is formed on the substrate 1 in which the stripe-like cathode line 2 was formed by vacuum evaporation on the substrate 1 of translucencies, such as glass, and this cathode line 2 was formed. This 1st insulating layer 3 consists of a film of an amorphous silicon or contest polysilicon with which the impurity was doped, and the portion of the 1st insulating layer formed in addition to on the cathode line 2 is formed into low resistance by annealing, and forms the resistance field 4 so that it may mention later.

[0025] Furthermore, the 2nd insulating layer 5 and the gate line 6 are formed on this 1st insulating layer 3, and the cone-like emitter 7 is formed, respectively in opening of a large number created by the 2nd insulating layer 5 and the gate line 6. In addition, since the above-mentioned opening is prepared only in the resistance field 4, an emitter 7 is also formed only on the resistance field 4. According to this field emission cathode element, the local resistance field 4 can be formed, without carrying out patterning of the 1st insulating layer 3 so that it may mention later since only the portion between the cathode lines 2 of the 1st insulating layer 3 is made into the resistance field 4. For this reason, the level difference of the front face of a field emission cathode element can be mostly thickened [of the cathode line 2] so that it may illustrate.

[0026] The plan of the field emission cathode element shown in drawing 4 is shown in drawing 5. In this drawing, the gate line 6 shown as the cathode line 2 shown by the dotted line and a solid line is formed in the shape of a matrix, and the array which consists of two or more emitters 7 is formed in the intersection of a matrix. This cathode line 2 and the gate line 6 are driven, respectively by a cathode drive circuit and a gate drive circuit which were explained by above-mentioned drawing 13.

[0027] Next, a means to anneal and form only the portion between the cathode lines 2 of the 1st insulating layer 3 into low resistance is shown in drawing 6. In this drawing, the stripe-like cathode line 2 is formed on a substrate 1, and the 1st insulating layer 3 which doped the impurity from on the further is formed. In this state, laser is irradiated by making the cathode line 2 into a photo mask at the 1st insulating layer 3 of a lower shell of a substrate 1. Then, the laser which passed the portion between the cathode lines 2 is irradiated by the 1st insulating layer 3, and the temperature of the irradiated portion rises in an instant. Here, as separation between the cathode lines 2 forms a stripe-like mask layer in a required portion beforehand, it takes the insulation between cathode lines into it.

[0028] For this reason, it anneals the portion of the 1st insulating layer 3 by which laser was irradiated, and the resistance of the portion of the insulating layer 3 which it annealed falls. Therefore, as shown in drawing 4, let only the portion of the 1st insulating layer 3 other than on the cathode line 2 be the resistance field 4. In addition, it is suitable for laser to use a XeCl excimer laser (wavelength of lambda= 308nm). The irradiation time of the laser at this time is about 0.1 seconds. moreover, it may be alike, it may change into laser and you may anneal using a lamp Furthermore, the 1st insulating layer 3 is constituted by the film of the amorphous silicon formed of reduced pressure CVD, the plasma CVD method, the spatter vacuum deposition, the electron-beam-evaporation method, and the resistance heating vacuum deposition, or contest polysilicon.

[0029] By the way, the resistance of the film of the amorphous silicon formed with the means of the

sputter vacuum deposition generally used or a plasma CVD method is about 10⁷-10¹²-ohmcm, and since resistance is high, this film can be used as an insulating layer. And as a material of the impurity doped to such an insulating layer, P, Bi, Ga, In, Tl, etc. can be used, and if the insulating layer by which the impurity was doped is annealed with laser, although it will be based on laser radiation conditions, the resistance of an insulating layer can be adjusted to the resistance of 10¹-10⁶-ohmcm. For this reason, it can be used as resistance which has the resistance of a request of the portion of the insulating layer which it annealed.

[0030] Moreover, refractory materials, such as Nb, Ta, W, etc. from which the quality of the material does not change even if laser is irradiated and it becomes an elevated temperature as a material of the cathode line 2, are used. By the way, in the field emission cathode element shown in drawing 6, since between the cathode lines 2 was used as resistance, distance of the resistance field 4 from the cathode line 2 to an emitter 7 can be lengthened. For this reason, while being able to obtain big resistance easily, adjustment of resistance can also be performed easily.

[0031] The cross section of the field emission cathode element of the 3rd example of this invention is shown in drawing 7. In this drawing, it is the form which encloses the portion by which the cone-like emitter 7 is formed on the substrate 1 of translucencies, such as glass, for example, the stripe-like cathode line 2 which formed the rectangular hole 9 is formed by vacuum evaporation and patterning, and the 1st insulating layer 3 which performed separation between the cathode lines 2 in the upper part of this cathode line 2 is formed. This 1st insulating layer 3 consists of a film of an amorphous silicon or contest polysilicon with which the impurity was doped, and the portion of the 1st insulating layer 3 formed in the hole 9 of the cathode line 2 is formed into low resistance by annealing, and forms the resistance field 4 so that it may mention later.

[0032] Furthermore, the 2nd insulating layer 5 and the gate line 6 are formed on this 1st insulating layer 3, and the cone-like emitter 7 is formed, respectively in opening of a large number created by the 2nd insulating layer 5 and the gate line 6. In addition, since the above-mentioned opening is prepared only on the resistance field 4, an emitter 7 is also formed only on the resistance field 4. The local resistance field 4 can be formed without carrying out patterning of the 1st insulating layer 3 with high definition so that it may mention later since it considers as the resistance field 4 where only the portion located in the hole 9 which adjoins the cathode line 2 of the 1st insulating layer 3 is local according to this field emission cathode element. Moreover, the level difference of the front face of a field emission cathode element can be mostly thickened [of the cathode line 2] so that it may illustrate.

[0033] The composition of the cathode line 2 of the shape of a stripe of the field emission cathode element shown in drawing 7 is shown in drawing 8. Although the gate line 6 shown with the cathode line 2 and an alternate long and short dash line is formed in the shape of a matrix as shown in this drawing, in the portion which the cathode line 2 and the gate line 6 intersect, two or more holes 9 are formed in the cathode line 2 of patterning. It considers as the rectangle-like configuration so that it may illustrate, and since this cathode line 2 is formed in the substrate 1 of a translucency of direct vacuum evaporation etc., this hole 9 will come to be irradiated upwards through the hole 9 with which this light was formed in the cathode line 2, if the lower shell light of a substrate 1 is irradiated. That is, a hole 9 acts as a translucent part.

[0034] Next, the plan of the field emission cathode element shown in drawing 9 at drawing 7 is shown. In this drawing, the gate line 6 shown as the cathode line 2 shown by the dotted line and a solid line is formed in the shape of a matrix as aforementioned, and the array which consists of two or more emitters 7 is formed on the resistance field 4 of the intersection of a matrix. This cathode line 2 and the gate line 6 are driven, respectively by a cathode drive circuit and a gate drive circuit which were explained by aforementioned drawing 13.

[0035] Next, a means to anneal and form into low resistance only the portion of the 1st insulating layer 3 located in the hole 9 formed in the cathode line 2 is shown in drawing 10. In this drawing, the stripe-like cathode line 2 is formed on a substrate 1, and two or more holes 9 are formed in the cathode line 2 by performing patterning. Furthermore, the 1st insulating layer 3 which doped the impurity from on the is formed. In this state, laser is irradiated by making the cathode line 2 into a photo mask at the 1st insulating layer 3 of a lower shell of a substrate 1. then, the laser which passed the hole 9 formed in the cathode line 2 -- the above -- the 1st insulating layer 3 located in a hole 9

irradiates, and the temperature of the irradiated portion rises in an instant. For this reason, it anneals the portion of the 1st insulating layer 3 of the above by which laser was irradiated, and the resistance of the portion which it annealed falls. In addition, what is necessary is to form the 1st insulating layer 3 in a portion [need / to be dissociated / between the cathode lines 2] in the shape of a stripe beforehand so that it may illustrate, and just to take the insulation between the cathode lines 2 into it in this case.

[0036] Therefore, as shown in drawing 7, let only the portion located in the hole 9 formed in the cathode line 2 of the 1st insulating layer 3 be the resistance field 4. In addition, as laser, it is suitable to use a XeCl excimer laser (wavelength of $\lambda = 308\text{nm}$). The irradiation time of the laser at this time is about 0.1 seconds. Moreover, it may change into laser and you may anneal using a lamp. Furthermore, the 1st insulating layer 3 is constituted by the film of the amorphous silicon formed of reduced pressure CVD, the plasma CVD method, the sputter vacuum deposition, the electron-beam-evaporation method, and the resistance heating vacuum deposition, or contest polysilicon. By the way, the resistance of the amorphous silicon film formed by the sputter vacuum deposition or plasma CVD method generally used is about 10⁷-10¹²-ohmcm, and since resistance is high, this film can be used as an insulating layer.

[0037] And as a material of the impurity doped to such an insulating layer, P, Bi, Ga, In, Tl, etc. can be used, and if the insulating layer by which the impurity was doped is annealed with laser, although it will be based on laser radiation conditions, the resistance of an insulating layer can be adjusted to the arbitrary resistance of 10¹-10⁶-ohmcm. For this reason, it can be used as resistance which has the resistance of a request of the portion of the insulating layer which it annealed. Moreover, refractory materials, such as Nb, Ta, W, etc. from which the quality of the material does not change even if laser is irradiated and it becomes an elevated temperature as a material of the cathode line 2, are used.

[0038] By the way, in the field emission cathode element shown in drawing 7, the 1st insulating layer 3 in the hole 9 formed in the cathode line 2 can be written as the resistance field 4, and distance of the resistance field 4 from the frame section of a hole 9 to an emitter 7 can be lengthened. For this reason, while being able to obtain big resistance easily, adjustment of resistance can also be performed easily. Moreover, the resistance field 4 can also be formed for every pars basilaris ossis occipitalis of each emitter 7 by carrying out alignment of the cathode line 2 and the gate line 6 precisely.

[0039] In addition, in the field emission cathode element of the 3rd example of the above, you may anneal and form into low resistance only the portion of the 1st insulating layer 3 located in the hole 9 formed in the cathode line 2 as follows. First, after forming two or more holes 9 in the stripe-like cathode line 2, the 1st insulating layer 3 is formed all over the upper [of a substrate 1]. In this state, on the 1st insulating layer 3, as shown in drawing 3, a photo mask is put, and it irradiates, the upper shell, for example, the laser, of a photo mask. Then, the laser which passed the photo mask is irradiated by only the portion located in the hole 9 formed in the cathode line 2 of the 1st insulating layer 3, and the temperature of this portion rises in an instant. For this reason, it anneals locally the 1st insulating layer 3 by which laser was irradiated, and the resistance of the portion which it annealed falls.

[0040] Thus, as shown in drawing 7, let only the portion located in the hole 9 formed in the cathode line 2 of the 1st insulating layer 3 be the resistance field 4. In this case, as a photo mask, the bore section is prepared only in the portion corresponding to the hole 9 formed in the cathode line 2. Since it does not anneal by this the portion of the 1st insulating layer 3 currently formed between the cathode lines 2, it is necessary to cease to separate the 1st insulating layer 3 between the cathode lines 2 as mentioned above. Therefore, according to this method, let the level differences of the front face of a field emission cathode element be few [the thickness of a cathode line] level differences.

[0041] As mentioned above, although the field emission cathode element of this invention was explained so that the resistance of a resistance field can be equalized also by annealing performed for every substrate in the field emission cathode element shown in drawing 1; drawing 4, and drawing 7. The insulating layer for monitors is formed in the periphery of a substrate simultaneously with the morphosis of the 1st insulating layer. If annealing is ended detecting the resistance of the insulating layer for these monitors when annealing is performed and desired resistance is obtained

from the insulating layer for monitors, the field emission cathode element which has the resistance field of the equalized resistance can be manufactured.

[0042] Moreover, it is common to close and use for a vacuum housing etc. the field emission cathode element shown in drawing 1, drawing 4, and drawing 7, and if the anode with which the fluorescent substance which carries out the uptake of the electron emitted by being isolated on the gate further was applied is prepared, it can consider as the display using the field emission cathode element.

[0043]

[Effect of the Invention] A local resistance field can be formed between a cathode and an emitter, without carrying out patterning of the insulating layer which forms a resistance field with high precision, since the FEC element of this invention was constituted as mentioned above, and the portion of a request of an insulating layer is annealed, for example with laser and it can resistance-ize. Moreover, since highly precise patterning of an insulating layer is not performed, the level difference of the front face of a FEC element can be made only into few [the thickness of a cathode line] level differences. Furthermore, the resistance of a resistive layer is correctly controllable from the grade of annealing to arbitrary resistance.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-73800

(43) 公開日 平成7年(1995)3月17日

(51) Int. Cl.⁶

H 0 1 J 1/30
31/15

識別記号

Z
A

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 7 P D (全 10 頁)

(21) 出願番号 特願平5-29106

(22) 出願日 平成5年(1993)11月5日

(31) 優先権主張番号 特願平5-177582

(32) 優先日 平5(1993)6月25日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000201814

双葉電子工業株式会社

千葉県茂原市大芝629

(72) 発明者 伊藤 茂生

千葉県茂原市大芝629 双葉電子工業株式
会社内

(72) 発明者 大津 和佳

千葉県茂原市大芝629 双葉電子工業株式
会社内

(72) 発明者 渡辺 照男

千葉県茂原市大芝629 双葉電子工業株式
会社内

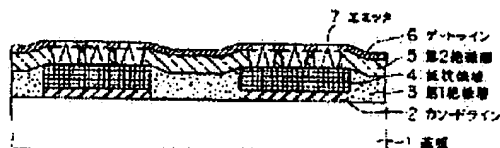
(74) 代理人 弁理士 脇 篤夫 (外1名)

(54) 【発明の名称】 電界放出カソード素子

(57) 【要約】

【目的】 本発明はFEC素子の表面の段差を大きくすることなくエミッタとカソードとの間に局所的な抵抗を備えるFEC素子を提供すること。

【構成】 本発明のFEC素子は、基板1上に不純物をドーピングした高抵抗値を有するアモルファスシリコンの第1の絶縁層3を形成し、この第1の絶縁層3のうちエミッタ7の形成される部分のみを、レーザによりアニールすることにより第1絶縁層3の低抵抗化を局所的に行うようにする。これにより、抵抗領域4を形成する第1絶縁層3をパターンニングすることなく抵抗領域4をエミッタ7の形成される部分のみに形成することが出来るため、FEC素子の表面の段差をカソードライン2の厚さの僅かな段差だけにすることが出来る。



【特許請求の範囲】

【請求項1】基板上に形成された複数本のストライプ状のカソードと、

該カソードが形成された上記基板表面の全面に形成された第1の絶縁層と、

該第1の絶縁層の上に第2の絶縁層を介して形成されたゲートと、

該ゲートと上記第2の絶縁層に設けられた多数の開口部内であって、かつ、上記カソードの上の第1の絶縁層上にそれぞれ形成された複数のコーン状のエミッタからなるエミッタアレイとを備える電界放出カソード素子において、

上記第1の絶縁層の、上記エミッタアレイが形成されている上記カソード上の部分のみ抵抗化されていることを特徴とする電界放出カソード素子。

【請求項2】基板上に形成された複数本のストライプ状のカソードと、

該カソードが形成された上記基板表面の全面に形成された第1の絶縁層と、

該第1の絶縁層の上に第2の絶縁層を介して形成されたゲートと、

該ゲートと上記第2の絶縁層に設けられた多数の開口部内であって、かつ、上記カソード間の第1の絶縁層上にそれぞれ形成された複数のコーン状のエミッタからなるエミッタアレイとを備える電界放出カソード素子において、

上記第1の絶縁層の、上記エミッタアレイが形成されている部分のみ抵抗化されていることを特徴とする電界放出カソード素子。

【請求項3】透光性の基板上に形成され、ゲートと交差する部分に複数の孔が設けられている複数本のストライプ状のカソードと、

上記基板表面の少なくともカソード上に形成された第1の絶縁層と、

該第1の絶縁層の上に第2の絶縁層を介して形成された上記ゲートと、

該ゲートと上記第2の絶縁層に設けられた多数の開口部内であって、かつ、上記カソードに形成された上記孔内の第1の絶縁層上にそれぞれ形成された複数のコーン状のエミッタからなるエミッタアレイとを備える電界放出カソード素子において、

上記第1の絶縁層の、上記エミッタアレイが形成されている上記カソードに形成された上記孔内の部分のみが抵抗化されていることを特徴とする電界放出カソード素子。

【請求項4】上記第1の絶縁層を形成した後に、上記第1の絶縁層の上からフォトリソマスクを介してレーザまたはランプ等の光線を照射することにより、上記第1の絶縁層を抵抗化することを特徴とする請求項1あるいは3に記載の電界放出カソード素子。

【請求項5】上記カソードの導体をフォトリソマスクとして基板の裏側からレーザまたはランプ等の光線を照射することにより、上記第1の絶縁層を抵抗化することを特徴とする請求項2あるいは3記載の電界放出カソード素子。

【請求項6】上記第1の絶縁層が不純物のドーパされたアモルファスシリコンあるいはポリシリコンの膜からなることを特徴とする請求項1ないし5のいずれかに記載の電界放出カソード素子。

【請求項7】上記抵抗化された抵抗領域の抵抗率を $1 \times 10^1 \sim 1 \times 10^4 \Omega \text{cm}$ とすることを特徴とする請求項1ないし6のいずれかに記載の電界放出カソード素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は冷陰極として知られている電界放出カソード素子に関するものであり、特に表示装置のカソードに適用して好適なものである。

【0002】

【従来の技術】金属または半導体表面の印加電界を $10^5 \sim 10^6 \text{ V/m}$ 程度にするとトンネル効果により、電子が障壁を通過して常温でも真空中に電子放出が行われる。これを電界放出 (Field Emission) と云い、このような原理で電子を放出するカソードを電界放出カソード (Field Emission Cathode) と呼んでいる。近年、半導体微細加工技術を駆使して、ミクロンサイズの電界放出カソードからなる面放出型の電界放出カソード素子を作成することが可能となっており、電界放出カソード素子は蛍光表示装置、CRT、電子顕微鏡や電子ビーム装置に用いられようとしている。

【0003】図1に、その一例であるエミッタとカソード間に抵抗層を有するスピント (Spindt) 型と呼ばれる電界放出カソード (以下、FECと記す) 素子の斜視図を示す。この図において、基板71上にカソード72が形成されており、カソード72の上には抵抗層73が形成されている。そして、この抵抗層73上にコーン状のエミッタ76が形成されている。さらに、カソード72上に絶縁層74を介してゲート75が設けられており、ゲート75の丸い開口部の中に設けられたコーン状のエミッタ76の先端部分がゲートに開けられた開口部から露出している。

【0004】このエミッタ76間のピッチは10ミクロン以下とすることが出来、このようなエミッタを数万ないし数10万個を1枚の基板71上に設けることが出来る。このFEC素子においては、ゲート・カソード間の距離をサブミクロンとすることが出来るため、ゲート・カソード間に僅か数10ボルトの電圧 V_g を印加することによりエミッタ76から電子を放出することが出来る。このようにして、エミッタ76から放出された電子は、ゲート75上に離隔して正電圧 V_a の印加されたア

ノード77により捕集することが出来る。また、アノード77に蛍光体を設けておくことFEC素子を用いた表示装置を構成することが出来る。

【0005】ところで、エミッタ76の下に抵抗層73を設ける理由は次の通りである。一般的なFECにおいてはコーン状のエミッタの先端とゲートとの距離がサブミクロンという極めて短い距離とされていると共に、数万个のエミッタが一枚の基板上に設けられるため、製造の過程において塵埃等によりエミッタとゲートとが短絡してしまうことがある。このように、ゲートとエミッタとのひとつでも短絡していると、カソードとゲートとが短絡したことになるため、すべてのエミッタに電圧が印加されなくなり動作不能のFEC素子となってしまうていた。

【0006】また、FECの初期の動作時に局所的な脱ガスが生じ、このガスによりエミッタとゲートあるいはアノード間が放電を起こすことがあり、このため大電流がカソードに流れてカソードが破壊されることがあった。さらに、多数のエミッタのうち電子の放出しやすいエミッタから集中して電子が放出されやすいため、そのエミッタに電流が集中することになり、画面上に異常に明るいスポットが発生することもある。これらの動作上の欠点を防止するために、従来は、上記ゲートとエミッタとの間に抵抗層73を設けるようにしているのである。

【0007】すなわち、図11に示すように、抵抗層73によりカソード72の電流が抑制されるため、カソード72が破壊されることがない。また、あるエミッタに電流が集中した場合はそのエミッタに設けられた抵抗層73の電圧降下が大きくなるため、そのエミッタ電位が上昇し、そのゲート・カソード間の電圧が下降するようになる。そのため、エミッタ電流が低下しエミッタ電流の集中を防止することができるようになる。したがって、抵抗層73を設けることにより、FEC素子の製造上の歩留りが向上したり、安定な動作を行わせたりすることができるようになる。

【0008】しかしながら、図11に示すFEC素子では抵抗層を基板全面に設けているため、エミッタ間を分離独立して動作させることが困難となり、クロストークを発生しやすくなる。このクロストークはFEC素子を用いた表示装置においては、漏れ発光又はリーク電流として現れるようになる。このようなクロストークを防止するためには、図素毎にエミッタを分離独立して動作できるようにすることが必要となる。

【0009】そこで、カソードをストライプ状として複数に分離し、その上にエミッタを設けるFEC素子が提案されており、このようなFEC素子を図12に示す。この図において、ガラス等の基板81の上にストライプ状のカソードライン82が複数形成されている。このカソードライン82が形成された基板81の上には抵抗

層83が蒸着され、この抵抗層83をエッチングすることによりカソードライン82上のみ抵抗層83を形成している。

【0010】さらに、抵抗層83の上から基板81上に絶縁層84を蒸着し、その上にゲートライン85を蒸着している。そして、ゲートライン85と絶縁層84に設けた開口部内にエミッタ86を形成することにより、このエミッタ86を抵抗層83上に形成するようにしている。上記ゲートライン85もストライプ状に形成されており、カソードライン82とゲートライン85とで各画素に対応する複数のエミッタ86によるアレイを定変することが出来るようにされている。

【0011】なお、絶縁層84は二酸化シリコン(SiO₂)が一般に用いられており、抵抗層83の材料としてはSnO₂、In₂O₃、Fe₂O₃、ZnO、アモルファスシリコン等が用いられている。さらに、カソードとゲートの導体材料としてはTi、Cr、Nb、Mo、W等が、エミッタの材料としてはMoを用いるのが一般的である。

【0012】図12に示すFEC素子を用いた表示装置の例を図13に示す。この図において、ガラス等の基板81の上にカソードライン82及びその上に抵抗層83が形成され、このカソードライン82に直交するようにゲートライン85が形成されている。また、ゲートライン85とカソードライン82とが交差する部分に複数のエミッタ86からなるアレイが形成されている。このエミッタ86のアレイは画素に対応している。なお、この図においては絶縁層84は図示されていないが、抵抗層83の上にゲートライン85と絶縁層84を形成されている。また、91は複数のカソードライン82を順次駆動するカソード駆動回路、92は複数のゲートラインを駆動するゲート駆動回路、93は蛍光体の設けられたアノード87を駆動する駆動回路である。

【0013】図13に示す表示装置において、例えばカソードライン82の1本がカソード駆動回路91により駆動されており、この時ゲートライン85に画像データが印加されていると、この画像データにより制御された1本のカソードライン上の画像がアノード87に表示される。従って、カソードライン82を順次駆動すると共にゲートライン85に順次画像データを印加するようにすると、アノード87に画像を表示することが出来る。

【0014】

【発明が解決しようとする課題】ところで、図11に示すFEC素子においてはカソードを分離して複数本設けても、抵抗層によりカソード間が接続されてしまったため、カソード間のクロストークが生じる。このクロストークを防止するには抵抗層のパターニングを行う必要があるが、抵抗層のパターニングを行って図12に示すようなFEC素子とすると、カソードライン82と抵抗層83とを足した厚さの段差がその表面に生じるため、F

EC素子の表面の段差が大きなものとなってしまう。すると、FEC素子を高電圧で動作させた場合、この段差のエッジ部で絶縁破壊が起こりFEC素子が破壊される恐れが生じると言う問題点があった。そこで、本発明はFEC素子の表面の段差を大きくすることなく低抵抗層のパターニングを行ったのと同じ作用のFEC素子を提供することを目的としている。

【0015】

【課題を解決するための手段】上記目的を達成するために、本発明のFEC素子は不純物をドーブした高抵抗値を有するアモルファスシリコンの絶縁層を抵抗層に持てて形成し、この絶縁層のうちエミッタの形成される部分のみを、例えばレーザによりアニールすることにより絶縁層の低抵抗化を局部的に行うようにしたものである。

【0016】

【作用】本発明によれば、抵抗層を形成する絶縁層をパターニングすることなく抵抗層をエミッタの形成される部分のみに形成することが出来るため、FECの表面の段差をカソードラインの厚さの僅かな段差だけにする事が出来る。さらに、アニールの程度により抵抗層の抵抗値を任意の抵抗値に正確に制御することが出来る。

【0017】

【実施例】本発明の第1実施例の電界放出カソード素子の断面図を図1に示す。この図において、ガラス等の基板1の上にストライプ状のカソードライン2を蒸着により形成し、このカソードライン2が形成された基板1の上に第1絶縁層3が形成されている。この第1絶縁層3は不純物がドーブされたアモルファスシリコンあるいはポリシリコンの膜からなり、カソードライン2の上に形成した第1絶縁層3の部分は、後述するようにアニールにより低抵抗化されて抵抗領域4を形成している。

【0018】さらに、この第1の絶縁層3の上に第2絶縁層5及びゲートライン6を形成し、第2絶縁層5及びゲートライン6に作成された多数の開孔部の中にはそれぞれコーン状のエミッタ7が形成されている。なお、上記開孔部は抵抗領域4の上のみ設けられるため、エミッタ7も抵抗領域4上のみ形成される。この電界放出カソード素子によれば、第1絶縁層3のカソードライン2の上の部分だけが局部的な抵抗領域4とされているため、後述するように第1絶縁層3をパターニングすることなく抵抗領域4を形成することができる。このため、図示するように電界放出カソード素子の表面の段差をばカソードライン2の厚さだけとすることができる。

【0019】図1に示す電界放出カソード素子の上面図を図2に示す。この図において、点線で示すカソードライン2と実線で示すゲートライン6とはマトリクス状に形成されており、マトリクスの交差部には複数のエミッタ7からなるアレイが形成されている。このカソードライン2とゲートライン6は上記図13で説明したようなカソード駆動回路及びゲート駆動回路によりそれぞれ駆

動される。

【0020】次に、第1絶縁層3のカソードライン2の上の部分のみをアニールして低抵抗化する手段を図3に示す。この図において、基板1の上にストライプ状のカソードライン2を形成し、さらにその上から不純物をドーブした第1絶縁層3を形成する。この状態において、第1絶縁層3の上に図示するフォトマスク8を被せ、フォトマスク8の上から例えばレーザを照射する。すると、フォトマスク8を通過したレーザは第1絶縁層3のカソードライン2上の第1絶縁層3にのみ照射され、この部分の温度が瞬時に上昇する。このため、レーザの照射された第1絶縁層3の部分がアニールされ、アニールされた部分の抵抗値が低下する。

【0021】したがって、第1絶縁層3のカソードライン2の上の部分のみを図1に示すように抵抗領域4とすることができる。なお、レーザとしては、XeClエキシマレーザ（波長 $\lambda=308\text{nm}$ ）を用いるのが好適である。このときのレーザの照射時間は約0.1秒である。また、レーザに代えてランプを用いてアニールしても良い。さらに、第1絶縁層3は、減圧CVD法、プラズマCVD法、スパッタ蒸着法、電子ビーム蒸着法、抵抗加熱蒸着法により形成されたアモルファスシリコンあるいはポリシリコンの膜により構成すればよい。この場合、一般に使用されているスパッタ蒸着法またはプラズマCVD法で形成されたアモルファスシリコン膜の抵抗値は約 $10^1 \sim 10^4 \Omega\text{cm}$ であるため、この抵抗値の高いアモルファスシリコン膜を絶縁層として用いることができるのである。

【0022】そして、このような絶縁層にドーブする不純物の材料としては、P、Bi、Ga、In、Tl等を用いることが出来、このような不純物のドーブされた絶縁層をレーザによりアニールすると、低抵抗化されたアモルファスシリコンあるいはポリシリコンの膜とすることが出来る。この場合、レーザ照射条件により絶縁層の抵抗値を $10^1 \sim 10^4 \Omega\text{cm}$ の任意の抵抗値に調節することができる。このため、アニールされた絶縁層の部分を所望の抵抗値を有する抵抗として使用することができるのである。

【0023】また、カソードライン2の材料としては、レーザが照射されて高温となっても材質の変化しないNb、Ta、W等の高融点材料を使用するようにする。なお、第2絶縁層5としては、一般にSiO₂をスパッタする等により形成されるが、SiO₂、SiN等の透光性の材料により第2絶縁層5を形成すれば、第2絶縁層5の形成後にレーザを照射することも出来る。

【0024】次に、本発明の第2の電界放出カソード素子の実施例を図4に示す。この図において、ガラス等の透光性の基板1の上にストライプ状のカソードライン2を蒸着により形成し、このカソードライン2が形成された基板1の上に第1絶縁層3が形成されている。この第

1絶縁層3は不純物がドーパされたアモルファスシリコンあるいはポリシリコンの膜からなり、カソードライン2の上以外に形成された第1絶縁層3の部分は後述するようにアニールにより低抵抗化されて抵抗領域4を形成している。

【0025】さらに、この第1の絶縁層3の上に第2絶縁層5及びゲートライン6を形成し、第2絶縁層5及びゲートライン6に作成された多数の開口部の中にはそれぞれコーン状のエミッタ7が形成されている。なお、上記開口部は抵抗領域4にのみ設けられるため、エミッタ7も抵抗領域4上にのみ形成される。この電界放出カソード素子によれば、第1絶縁層3のカソードライン2の間の部分だけが抵抗領域4とされているため、後述するように第1絶縁層3をパターンニングすることなく局所的な抵抗領域4を形成することができる。このため、図示するように電界放出カソード素子の表面の段差をほぼカソードライン2の厚さだけとすることができる。

【0026】図4に示す電界放出カソード素子の上面図を図5に示す。この図において、点線で示すカソードライン2と実線で示すゲートライン6とはマトリクス状に形成されており、マトリクスの交差部には複数のエミッタ7からなるアレイが形成されている。このカソードライン2とゲートライン6は上記図13で説明したようなカソード駆動回路及びゲート駆動回路によりそれぞれ駆動される。

【0027】次に、第1絶縁層3のカソードライン2の間の部分のみをアニールして低抵抗化する手続を図6に示す。この図において、基板1の上にストライプ状のカソードライン2を形成し、さらにその上から不純物をドーパした第1絶縁層3を形成する。この状態において、カソードライン2をフォトリソとして基板1の下から第1絶縁層3に、例えばレーザーを照射する。すると、カソードライン2の間の部分を通してレーザーが第1絶縁層3に照射され、照射された部分の温度が瞬時に上昇する。ここで、カソードライン2間の分離が必要な部分には、あらかじめストライプ状のマスク層を形成するようにしてカソードライン間の絶縁をとるようにする。

【0028】このため、レーザーの照射された第1絶縁層3の部分がアニールされ、アニールされた絶縁層3の部分の抵抗値が低下する。したがって、カソードライン2の上以外の第1絶縁層3の部分のみを図4に示すように抵抗領域4とすることができる。なお、レーザーはXeC1エキシマレーザー(波長 $\lambda=308\text{nm}$)を用いるのが好適である。このときのレーザーの照射時間は約0.1秒である。また、レーザーに代えてランプを用いてアニールしても良い。さらに、第1絶縁層3は、減圧CVD法、プラズマCVD法、スパッタ蒸着法、電子ビーム蒸着法、抵抗加熱蒸着法により形成されたアモルファスシリコンあるいはポリシリコンの膜により構成されている。

【0029】ところで、一般に使用されるスパッタ蒸着法またはプラズマCVD法の手続で形成されたアモルファスシリコンの膜の抵抗値は約 $10^3 \sim 10^5 \Omega \cdot \text{cm}$ であり、この膜は抵抗値が高いために絶縁層として用いることができる。そして、このような絶縁層にドーパする不純物の材料としては、P、B、Ga、In、Tl等を用いることが出来、不純物のドーパされた絶縁層をレーザーによりアニールすると、レーザー照射条件によるが絶縁層の抵抗値を $10^3 \sim 10^5 \Omega \cdot \text{cm}$ の抵抗値に調節することができる。このため、アニールされた絶縁層の部分を所望の抵抗値を有する抵抗として使用することができるのである。

【0030】また、カソードライン2の材料としては、レーザーが照射されて高温となっても材質の変化しないNb、Ta、W等の高融点材料を使用するようにする。ところで、図6に示す電界放出カソード素子においては、カソードライン2の間を抵抗として用いるようにしたので、カソードライン2からエミッタ7までの抵抗領域4の距離を長くすることができる。このため、容易に大きな抵抗値を得ることができると共に、抵抗値の調節も容易に行うことができるようになる。

【0031】本発明の第3実施例の電界放出カソード素子の断面図を図7に示す。この図において、ガラス等の透光性の基板1の上にコーン状のエミッタ7が形成される部分を取り囲む形で、例えば矩形の孔9を設けたストライプ状のカソードライン2を蒸着およびパターンニングにより形成し、このカソードライン2の上部にカソードライン2間の分離を行った第1絶縁層3が形成されている。この第1絶縁層3は不純物がドーパされたアモルファスシリコンあるいはポリシリコンの膜からなり、カソードライン2の孔9内に形成された第1絶縁層3の部分は、後述するようにアニールにより低抵抗化されて抵抗領域4を形成している。

【0032】さらに、この第1の絶縁層3の上に第2絶縁層5及びゲートライン6を形成し、第2絶縁層5及びゲートライン6に作成された多数の開口部の中にはそれぞれコーン状のエミッタ7が形成されている。なお、上記開口部は抵抗領域4の上にのみ設けられるため、エミッタ7も抵抗領域4上にのみ形成される。この電界放出カソード素子によれば、第1絶縁層3のカソードライン2に隣接する孔9内に位置する部分だけが局所的な抵抗領域4とされているため、後述するように第1絶縁層3を高精度にパターンニングすることなく局所的な抵抗領域4を形成することができる。また、図示するように電界放出カソード素子の表面の段差をほぼカソードライン2の厚さだけとすることができる。

【0033】図7に示す電界放出カソード素子のストライプ状のカソードライン2の構成を図8に示す。この図に示すように、カソードライン2と一点鎖線で示すゲートライン6とがマトリクス状に形成されるが、カソード

ライン2とゲートライン6とが交差する部分において、カソードライン2には複数の孔9がパターニングにより形成される。この孔9は、例えば図示するように矩形状の形状とされており、このカソードライン2が透光性の基板1に直接蒸着等により形成されていることから、基板1の下から光を照射すると、この光はカソードライン2に形成された孔9を通して上方へ照射されるようになる。すなわち、孔9は透光部として作用する。

【0034】次に、図9に図7に示す電界放出カソード素子の上面図を示す。この図において、点線で示すカソードライン2と実線で示すゲートライン6とは、前記の通りマトリクス状に形成されており、マトリクスの交差部の抵抗領域4上には複数のエミッタ7からなるアレイが形成されている。このカソードライン2とゲートライン6は前記図13で説明したようなカソード駆動回路及びゲート駆動回路によりそれぞれ駆動される。

【0035】次に、カソードライン2に形成した孔9内に位置する第1絶縁層3の部分のみをアニールして低抵抗化する手段を図10に示す。この図において、基板1の上にストライプ状のカソードライン2を形成し、パターニングを行うことによりカソードライン2に複数の孔9を形成する。さらに、その上から不純物をドーピングした第1絶縁層3を形成する。この状態において、カソードライン2をフォトマスクとして基板1の下から第1絶縁層3に、例えばレーザを照射する。すると、カソードライン2に形成された孔9を通過したレーザが、前記孔9に位置する第1絶縁層3に照射され、照射された部分の温度が瞬時に上昇する。このため、レーザの照射された前記第1絶縁層3の部分がアニールされ、アニールされた部分の抵抗値が低下する。なお、この場合カソードライン2間の分離が必要な部分には、図示するように予め第1絶縁層3をストライプ状に形成して、カソードライン2間の絶縁をとるようにすればよい。

【0036】したがって、第1絶縁層3のカソードライン2に形成した孔9内に位置する部分のみを、図7に示すように抵抗領域4とすることができる。なお、レーザとしては、XeClエキシマレーザ（波長 $\lambda=308\text{nm}$ ）を用いるのが好適である。このときのレーザの照射時間は約0.1秒である。また、レーザに変えてランプを用いてアニールしても良い。さらに、第1絶縁層3は、減圧CVD法、プラズマCVD法、スパッタ蒸着法、電子ビーム蒸着法、抵抗加熱蒸着法により形成されたアモルファスシリコンあるいはポリシリコンの膜により構成されている。ところで、一般に使用されるスパッタ蒸着法またはプラズマCVD法で形成されたアモルファスシリコン膜の抵抗値は約 $10^7 \sim 10^{12} \Omega \cdot \text{cm}$ であり、この膜は抵抗値が高いために絶縁層として用いることができる。

【0037】そして、このような絶縁層にドーピングする不純物の材料としては、P、Bi、Ga、In、Tl等を

用いることが出来、不純物のドーピングされた絶縁層をレーザによりアニールすると、レーザ照射条件による絶縁層の抵抗値を $10^1 \sim 10^4 \Omega \cdot \text{cm}$ の任意の抵抗値に調整することができる。このため、アニールされた絶縁層の部分を所望の抵抗値を有する抵抗として使用することができるのである。また、カソードライン2の材料としては、レーザが照射されて高温となっても材質の変化しないNb、Ta、W等の高融点材料を使用するようにする。

【0038】ところで、図7に示す電界放出カソード素子においては、カソードライン2に形成した孔9内の第1絶縁層3を抵抗領域4としたため、孔9の枠部からエミッタ7までの抵抗領域4の距離を長くすることができる。このため、容易に大きな抵抗値を得ることができると共に、抵抗値の調整も容易に行うことができるようになる。また、カソードライン2とゲートライン6とを精密に位置合わせすることにより、各エミッタ7の底部毎に抵抗領域4を形成することもできる。

【0039】なお、前記第3実施例の電界放出カソード素子において、次のようにしてカソードライン2に形成した孔9内に位置する第1絶縁層3の部分のみをアニールして低抵抗化してもよい。まず、ストライプ状のカソードライン2に複数の孔9を形成した後、基板1の上全面に第1絶縁層3を形成する。この状態において、第1絶縁層3の上に図3に示すようにフォトマスクを被せ、フォトマスクの上から例えばレーザを照射する。すると、フォトマスクを通過したレーザは第1絶縁層3のカソードライン2に形成した孔9に位置する部分にのみ照射され、この部分の温度が瞬時に上昇する。このため、レーザの照射された第1絶縁層3が局部的にアニールされ、アニールされた部分の抵抗値が低下する。

【0040】このようにして、第1絶縁層3のカソードライン2に形成した孔9に位置する部分のみを図7に示すように抵抗領域4とすることができる。この場合、フォトマスクとしては、カソードライン2に形成した孔9に対応する部分にだけ透孔部を設けるようにする。これにより、カソードライン2間に形成されている第1絶縁層3の部分はアニールされることがないため、前記のようにカソードライン2間の第1絶縁層3を分離しなくてもよいようになる。従って、この方法によれば、電界放出カソード素子の表面の段差をカソードラインの厚さだけのわずかな段差とすることができる。

【0041】以上、本発明の電界放出カソード素子を説明したが、図1、図4および図7に示す電界放出カソード素子において、基板毎に行われるアニールによっても抵抗領域の抵抗値を均一化することが出来るように、基板の周辺部に第1の絶縁層の形成過程と同時にモニタ用の絶縁層を形成し、このモニタ用の絶縁層の抵抗値を検出しながらアニールを行い、所望の抵抗値がモニタ用の絶縁層から得られたときにアニールを終了するようにす

れば、均一化された抵抗値の抵抗領域を有する電界放出カソード素子を製造することが出来る。

【0042】また、図1、図4及び図7に示した電界放出カソード素子を真空容器等に封止して用いるのが一般的であり、さらに、ゲートの上に離隔して放出された電子を捕集する蛍光体の塗布されたアノードを設けておけば、電界放出カソード素子を用いた表示装置とすることが出来る。

【0043】

【発明の効果】本発明のFEC素子は以上のように構成したので、例えばレーザにより絶縁層の所望の部分のアニールして抵抗化することが出来るため、抵抗領域を形成する絶縁層を高精度にパターンニングすることなくカソードとエミッタとの間に局所的な抵抗領域を形成することが出来る。また、絶縁層の高精度のパターンニングを行わないためFEC素子の表面の段差をカソードラインの厚さの僅かな段差だけにする事が出来る。さらに、アニールの程度より抵抗層の抵抗値を任意の抵抗値に正確に制御することが出来る。

【図面の簡単な説明】

【図1】本発明の電界放出カソード素子の第1実施例の断面図である。

【図2】本発明の電界放出カソード素子の第1実施例の上面図である。

【図3】第1実施例において、部分的にアニールする手段を示す図である。

【図4】本発明の電界放出カソード素子の第2実施例の断面図である。

【図5】本発明の電界放出カソード素子の第2実施例の上面図である。

【図6】第2実施例において、部分的にアニールする手段を示す図である。

【図7】本発明の電界放出カソード素子の第3実施例の断面図である。

【図8】本発明の電界放出カソード素子の第3実施例のカソードラインの構成を示す図である。

【図9】本発明の電界放出カソード素子の第3実施例の上面図である。

【図10】第3実施例において、部分的にアニールする手段を示す図である。

【図11】従来の電界放出カソード素子の斜視図である。

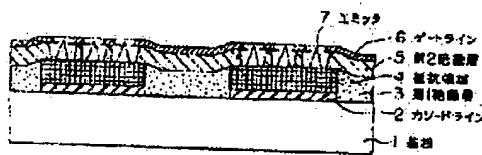
【図12】他の従来の電界放出カソードの断面図である。

【図13】従来の電界放出カソードを用いた表示装置の斜視図である。

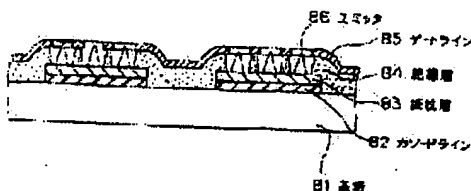
【符号の説明】

- 1, 71, 81 基板
- 2, 82 カソードライン
- 3 第1絶縁層
- 4 抵抗領域
- 5 第2絶縁層
- 6, 85 ゲートライン
- 7, 76, 86 エミッタ
- 8 フォトマスク
- 9 孔
- 72 カソード
- 73, 83 抵抗層
- 74, 84 絶縁層
- 75 ゲート
- 77, 87 アノード
- 91 カソード駆動回路
- 92 ゲート駆動回路
- 93 アノード駆動回路

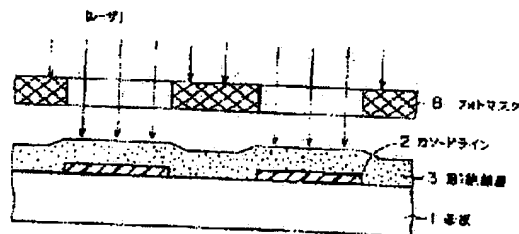
【図1】



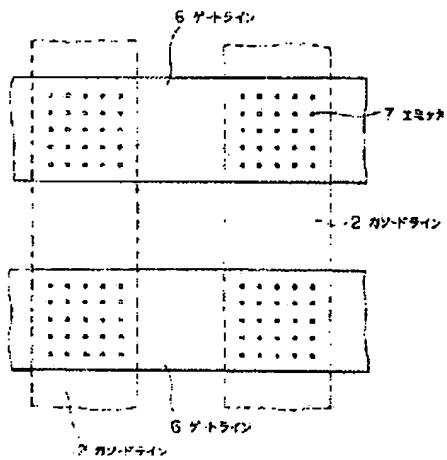
【図12】



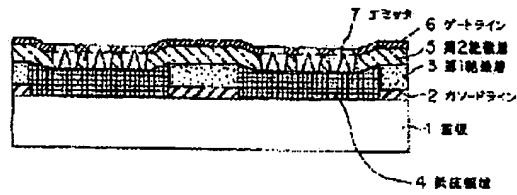
【図3】



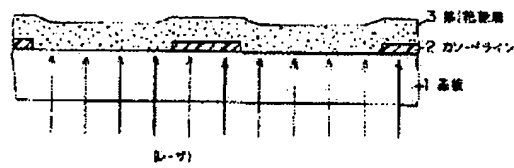
【図2】



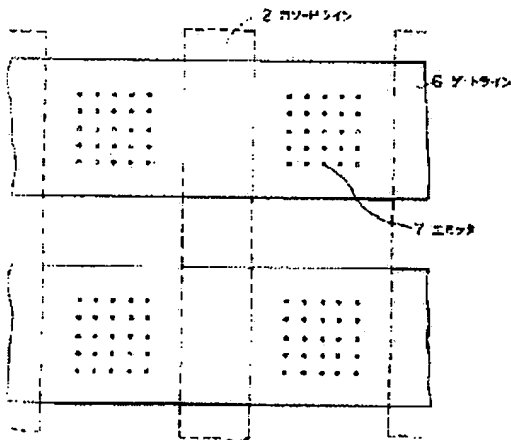
【図4】



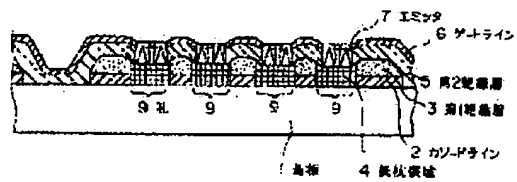
【図6】



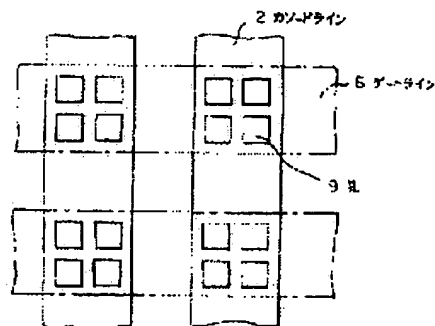
【図5】



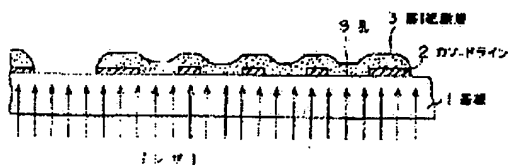
【図7】



【図8】



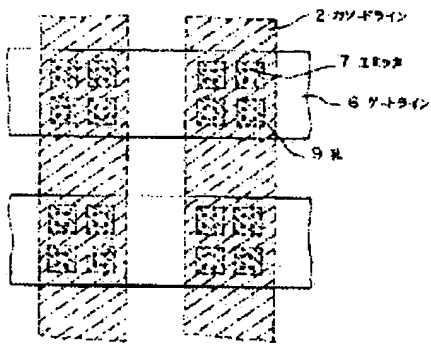
【図10】



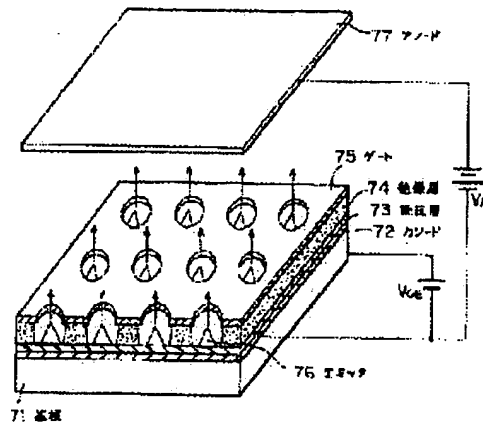
(9)

特開平7-73800

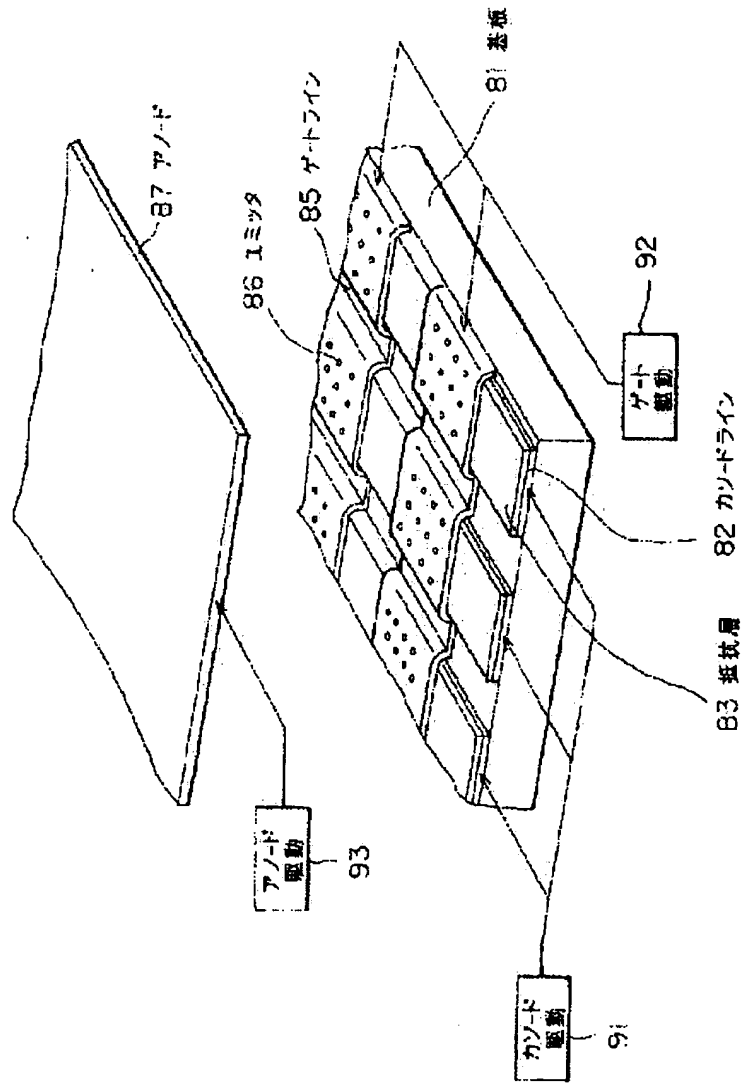
【図9】



【図11】



【図13】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.